

Laboratori de Com 1
Tema 5 - Esquema de modulació BPSK
Estudi previ

Lluís Batlle i Rossell
David Sabaté i Culubret

21 de febrer de 2003

1 Phase Locked Loop

1.1 Tensió a l'entrada d'una PLL

En multiplicar el senyal d'entrada pel de sortida de la PLL obtenim un nou senyal que tindrà més o menys component contínua depenent del defasament dels dos senyals. La component de tensió contínua és la que obtenim després del filtre pas baix, i aquesta tensió correctament amplificada és l'entrada del VCO (una tensió contínua en funció del defasament).

1.2 Paràmetres per capturar els marges de la PLL

- Emissor
 - Selector del tipus d'entrada: TTL
 - Tipus de modulació: BPSK
 - Simulador de canal: -
 - Tipus de sortida: Bifilar
- Receptor
 - Tipus d'entrada: Bifilar
 - Tipus de demodulació: BPSK

1.3 Punts per poder calcular els marges de la PLL

- Senyal quadrat d'excitació: TP12
- Senyal de sortida de la PLL: TP13

Per mirar el marge de seguiment i el de captura, ens fa falta variar la freqüència de la portadora (del modulador). Per mirar el marge de seguiment, només ens cal augmentar i reduir la freqüència de portadora i mirar a la sortida de la PLL quan deixa de seguir-la. Pel marge de captura, una vegada escollida una

freqüència del modulador provem si s'hi enganxa la PLL arrencant des de zero (engegar l'aparell).

L'instrumental de mesura serà l'oscil·loscopi i les seves capacitats per fer mesures sobre els senyals observats. Haurem de mesurar la freqüència del senyal que surt de la PLL.

2 Recuperació de portadora

2.1 Diagrama de blocs

Es tracta d'utilitzar la PLL recuperant la freqüència del quadrat de la portadora (així obtenim una freqüència doble de la portadora amb fase fixa). Llavors, obtenim la freqüència meitat de la sortida de la PLL (la de la portadora amb fase fixa), i a aquesta sortida li apliquem una XOR amb el senyal rebut. Així obtenim la seqüència de zeros i uns. En cas que la UART de recepció donés errors de paritat, hauriem de fer saltar la fase del divisor de freqüència per tenir la portadora generada 180° defasada amb l'anterior. Així obtenim la seqüència de zeros i uns negada, que donarà paritat correcta.

2.2 Punt on s'observa la portadora del modulador

La trobem a la sortida de l'oscil·lador local: TP11

2.3 Evidència del sincronisme de portadora

Ho notarem per l'indicador de la sortida d'*error de paritat* que ens donarà la UART. Si és errònea, se n'encendrà el LED vermell.

2.4 Configuració de l'entrenador per entrada sinusoidal

- Emissor
 - Selector del tipus d'entrada: Signal
 - Tipus de modulació: BPSK
 - Simulador de canal: -
 - Tipus de sortida: Bifilar
- Receptor
 - Tipus d'entrada: Bifilar
 - Tipus de demodulació: BPSK
 - Filtre previ a la sortida: Passa Baixes
 - Tipus de sortida: Signal

3 Diagrama de blocs del modulador i el demodulador

El modulador envia un canvi de fase de 180° de portadora segons el canvi de bit (de 0 a 1 o de 1 a 0).

El demodulador multiplica el senyal rebut per la portadora amb fase i freqüència recuperades (sortida del recuperador de portadora amb PLL), i n'obté així el senyal digital enviat. Si l'obtenim negat (amb paritat incorrecta), haurem de reajustar la fase de la portadora recuperada per rebre el senyal digital correctament.

4 Paraula constituïda per zeros a la sortida de la UART

La senyal seria, on cada 0 val 12V i cada 1 val -12V: ...10000000011... El primer 1 és el bit d'start. Llavors, venen els 8 zeros de dades, seguits de un 0 de paritat i de dos 1 de stop.

5 Formes d'ones observables

Podem observar:

- Entrada PCM (sortint de la UART)
- Portadora generada al modulador: TPE11
- Sortida modulada
- Entrada modulada amplificada: TPR11
- Entrada a la PLL: TP12
- Sortida de la PLL: TP13
- Sortida de la XOR: TP18
- Senyal digital recuperat